

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-072704

(43)Date of publication of application : 27.03.1991

(51)Int.Cl.

H03F 3/68

H03F 3/45

(21)Application number : 02-138543

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.05.1990

(72)Inventor : TANIMOTO HIROSHI

(30)Priority

Priority number : 01135809

Priority date : 31.05.1989

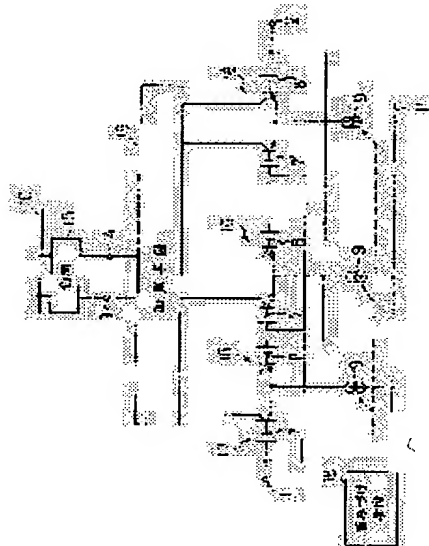
Priority country : JP

(54) LINEAR DIFFERENTIAL AMPLIFIER

(57)Abstract:

PURPOSE: To obtain a wide linear operation range and a high input impedance by providing plural differential amplifying pairs arranged in parallel, output current weighting means, and output current adding means.

CONSTITUTION: N-number of differential amplifying pairs 16 (N is an integer equal to or larger than 4) are provided in parallel, and each pair 16 is provided with offset voltage giving means 7 and 8 and an output current weighting means 18, and an adding means 19 is provided between the pair and a load 15. That is, since the transconductance of one differential amplifying pair 16 has the single peak response to the input voltage, sum voltages of the same input voltage and proper offset voltages are given to N-number of differential amplifying pairs to generate N-number of peaks. Then, output currents of N-number of differential amplifying pairs are weighted and added to synthesize one peak having a flat top. Thus, a wide linear operation range is obtained and the input impedance is raised.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A) 平3-72704

⑤ Int. Cl.⁵H 03 F 3/68
3/45

識別記号

B
Z

庁内整理番号

8326-5 J
7741-5 J

④ 公開 平成3年(1991)3月27日

審査請求 未請求 請求項の数 11 (全 24 頁)

⑥ 発明の名称 線形化差動増幅器

⑦ 特 願 平2-138543

⑧ 出 願 平2(1990)5月30日

優先権主張 ⑨ 平1(1989)5月31日 ⑩ 日本(JP) ⑪ 特願 平1-135809

⑫ 発 明 者 谷 本 洋 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑬ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑭ 代 理 人 弁理士 三好 秀和 外1名

明 細 書

1. 発明の名称

線形化差動増幅器

2. 特許請求の範囲

(1) バイポーラトランジスタを用いた差動増幅ペアの入力端子同士と出力端子同士をそれぞれ並列的に接続して成る差動増幅器において、Nを4以上の整数としてN組の差動増幅ペアを並列配置し、各差動増幅ペアに等価的なオフセット電圧を与える手段と、これらの出力電流を重み付けする手段と、これらの出力電流を加算する手段と、を具備することを特徴とする線形化差動増幅器。

(2) 請求項1に記載の線形化差動増幅器において、前記オフセット電圧を与える手段及び前記重み付けする手段は、差動入力電圧の変化分に対する差動出力電流の変化分が平坦特性となるような等価的オフセット電圧と出力電流の重み付けを行うことを特徴とする線形化差動増幅器。

(3) 請求項1に記載の線形化差動増幅器において、前記オフセット電圧を与える手段及び前記重

み付け手段は、差動入力電圧の変化分に対する差動出力電流の変化分が等リップル特性となるような等価的オフセット電圧と出力電流の重み付けを行うことを特徴とする線形化差動増幅器。

(4) 請求項2に記載の線形化差動増幅器において、前記重み付けする手段が重み付けする電流は、前記差動増幅ペアの共通接続されたエミッタに接続された電流源の電流値であることを特徴とする線形化差動増幅器。

(5) 請求項3に記載の線形化差動増幅器において、前記重み付け手段が重み付けする電流は、前記差動増幅ペアの共通接続されたエミッタに接続された電流源の電流値であることを特徴とする線形化差動増幅器。

(6) 請求項4に記載の線形化差動増幅器において、差動増幅ペアの数が4組であり、該4組の差動増幅ペアに与える等価的オフセット電圧がそれぞれ、第1の差動増幅対に対しては $1.298 \cdot 2 \cdot V_T$ 、第2の差動増幅ペアに対しては $0.354 \cdot 2 \cdot V_T$ 、第3の差動増幅ペアに対しては

$-0.354 \cdot 2 \cdot V_T$ 、第4の差動増幅ペアに対しては $-1.298 \cdot 2 \cdot V_T$ (ただし V_T は熱電圧で、 $V_T = KT/q$ 、 K :ボルツマン定数、 T :絶対温度、 q :電子の電荷) 付近であり、該4組の差動増幅ペアの出力電流の重み付けのわりあいが、前記第1および第4の差動増幅ペアの出力電流に対して他の2組の差動増幅ペアの出力電流が0.5478倍付近であるように構成したことを特徴とする線形化差動増幅器。

(7) 請求項1に記載の線形化差動増幅器において、前記オフセット電圧を与える手段を、各差動増幅ペアの構成要素であるトランジスタのエミッタ面積を変化させることで構成することを特徴とする線形化差動増幅器。

(8) 請求項1に記載の線形化差動増幅器において、前記差動増幅ペアの出力電流を加算する手段が、前記差動増幅ペアの出力端子同士を接続するワイヤード・オアで構成されることを特徴とする線形化差動増幅器。

(9) 請求項1に記載の線形化差動増幅器におい

て、前記電流を重み付けする手段は、全ての差動増幅ペアの動作電流を比例させて変化させることにより、トランスコンダクタンスを可変としたものであることを特徴とする線形化差動増幅器。

(10) 請求項1に記載の線形化差動増幅器において、差動増幅ペアを構成するバイポーラトランジスタが、シリコントランジスタ、またはシリコンヘテロバイポーラトランジスタ、またはガリウム砒素ヘテロバイポーラトランジスタであることを特徴とする線形化差動増幅器。

(11) 請求項1に記載の線形化差動増幅器において、前記重み付けする手段は、全ての差動増幅ペアの動作電流を絶対温度に比例して変化させることを特徴とする線形化差動増幅器。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、広い範囲にわたって一定のトランスコンダクタンスを得ることができる線形化差動増幅器に関する。

- 3 -

(従来の技術)

差動増幅器の構成要素である差動増幅ペアは、演算増幅器の初段の増幅器として用いられるなど増幅器の基本的な構成単位として広く用いられている。

第19図は通常のエミッタ結合対、すなわち差動増幅ペアを説明するための図である。図において、1、2は入力端子、3、4は出力端子、5、6はそれぞれ差動増幅ペアを構成する第1及び第2のバイポーラトランジスタである。また、7、8はそれぞれ第1および第2のオフセット電圧を与えるための直流電圧源、9は差動増幅ペアの動作電流を決める直流電流源、10は正の電源ライン、11は負の電源ライン、12、13は負荷電流源、14は負荷抵抗をそれぞれ表している。負荷15を除く差動増幅ペア全体を16とする。

第19図において、電流源9の電流値を I_{EE} 、オフセットを与えるための電圧源7、8の電圧値をゼロ、負荷電流源22、23の電流値をそれぞれ $I_{EE}/2$ 、入力端子1、2の間に印加される入

- 4 -

力電圧を V_i とし、 α_F をトランジスタ5、6の順方向ベース接地電流増幅率、 V_T を熱電圧とすると、負荷抵抗14を流れる電流 I_o は次式で表される【たとえば文献(Paul R.Gray and Robert G. Meyer: "Analysis and Design of Analog Integrated Circuits" second edition, pp.194-197, John Wiley & Sons, Inc., New York, 1984)】。

$$I_o = \alpha_F \cdot \tanh(-V_i / 2V_T) \dots (1)$$

入力電圧 V_i と出力電流 I_o の関係は第20図(a)に示すように、 V_i の絶対値が小さい場合は I_o が V_i に比例して直線的に変化するが、 V_i の絶対値が大きくなるにしたがって I_o は直線的变化からはずれて $\pm I_{EE}$ に漸近するようになる。

どのくらい直線範囲があるかを見るには、このカーブを入力電圧 V_i で微分したもの、すなわち次式で表されるトランスコンダクタンス G_m のカーブを調べると都合が良い。

$$G_m(V_i) = (\alpha_F \cdot I_{EE}) / 2V_T \cdot [1 - \tanh^2(-V_i / 2V_T)] \dots (2)$$

- 5 -

- 6 -

この G_m のカーブは第20図(b)に示されるように、対称的な釣鐘型を為している。

なお、以下の説明において、簡単のために、次のような正規化を行う：

$$x = -V_d / 2V_T$$

$$y = I_d / \alpha_F I_{EE} \quad \dots\dots (3)$$

また式(1)、(2)をそれぞれ次のように正規化して説明を進めることとする。

$$y = \tanh(x) \quad \dots\dots (4)$$

$$G_m(x) = dy/dx = 1 - \tanh^2(x) \quad \dots\dots (5)$$

一般に、演算増幅器は負帰還をかけて使われており、2段目以降で大きな利得を持っているので、初段を構成する差動増幅ペアの反転・非反転入力端子間はイマジナリショートとなり、入力端子間にかかる電位差は例えば数ミリボルト程度の非常に小さな値となる。したがって、この場合は差動増幅ペアの線形性は殆ど問題になることがない。

一方、差動増幅ペアは、そのトランスコンダクタンス G_m が動作電流に比例して変えられること

— 7 —

また、エミッタデジェネレーションを用いてかつトランスコンダクタンスを変化させることができる方法として、ギルバートのゲインセル(Gilbert gain cell)タイプの差動増幅器を用いる方法がある。

ゲインセル自体については、たとえば前記文献のpp. 590-600、または、A. Grebene 著：「アナログ集積回路」pp. 234-244(中沢他訳、近代科学社、1975年)などに詳細に説明されているのでここではあまり説明しないが、要するに、この方法は、第1の差動増幅ペアをエミッタデジェネレーション抵抗を有するものとし、その負荷としてベースコレクタ間を短絡したトランジスタを設け、その両端の電位差をエミッタデジェネレーション抵抗をもたない第2の差動増幅ペアの入力とする。このようにすると、第2の差動増幅ペアの共通エミッタの電流を変化させることにより、第1の差動増幅ペアのベース入力端子から第2の差動増幅ペアのコレクタ出力端子までのトランスコンダクタンスを変化させることがで

— 9 —

を利用して、フィルタ、乗算器、発振器などに用いられる。この場合は差動増幅ペアの入力端子間にかかる電圧を S/N 比などの理由から線形動作範囲で大きな値にしたいことが普通に起る。したがって、より大きな入力信号を取扱うためには、より広い線形動作範囲が必要とされる。

しかし、第20図(b)に示したように、従来の差動増幅ペアでは、トランスコンダクタンス G_m が $V_d = 0$ の付近では、平坦部が非常に狭く、例えば、 G_m の絶対値が最大値から1%低下する V_d の範囲は、常温で約10mV程度である。

いわゆるエミッタデジェネレーションと呼ばれる方法で、差動増幅ペアのエミッタ同士を直接接続せずに抵抗を介して接続することにより局部負帰還を施して線形範囲を拡大するものの例がある。この方法は簡単かつ有効ではあるが、抵抗のために雑音が増加するだけでなく、負帰還のためにトランスコンダクタンスを変化させることが困難であり、フィルタへの応用など用途によってはこれが欠点となる。

— 8 —

きる。

また、このゲインセルを用いた差動増幅器は、1ボルト程度の線形入力範囲を容易に実現することができる。このような線形化差動増幅器を用いてフィルタを構成した例として、特開昭58-161413「多目的フィルタ」がある。

しかし、この方式の問題として、トランジスタの指数関数特性を打ち消すために、信号電圧の圧縮伸長を行なっているので、線形範囲は広いが S/N 比は単純な差動増幅ペアより悪化してしまうという欠点がある。

この点を解決するために、エミッタデジェネレーションを用いずに差動増幅ペアを線形化しようとする提案が文献(James C. Schmoock: "An Input Transconductance Reduction Technique for High-Slew Rate Operational Amplifiers, IEEE Journal of Solid-State Circuits, SC-10, no. 6, pp. 407-411, December 1975)において示されている。

この提案は元来、エミッタ面積が非対称な差動増幅ペア2組を用いてトランスコンダクタンスを

— 10 —

低下させる方法を主体にしてはいるが、エミッタ面積の比が約 1 : 4 のとき線形動作範囲が最も広がることを述べている。

しかし、この方法では、従来の単なる差動増幅ペアを用いる場合に比べて約 4 倍の線形範囲拡大ができるとはいえ、まだ十分とはいえない。しかし、入力端子が直接トランジスタのベースであるため入力インピーダンスは大きい。

さらに、広い線形動作範囲を得るために、エミッタデジェネレーションを用いずに差動増幅ペアを線形化しようとする提案が特開昭 62-200808「トランスコンダクタンス増幅器」においてなされている。この方法はゲインセルを用いた線形化差動増幅器に匹敵するほどの非常に広い線形範囲を得ることができ、S/N 比も良好な優れた特性を有する。

この方式の原理は、簡単に言うと、差動増幅ペアを A B 級動作させることにあり、そのためには入力電圧に応じた動作電流を与える。これを実現するために、入力電圧を抵抗で分圧して複数のト

ランジスタのベースに印加しているが、これらの抵抗はベースに直列に挿入されるので、雑音の点と周波数特性の点から、あまり大きな値にすることは好ましくない。したがって、この回路の特徴を活かそうとすれば入力抵抗は低くならざるを得ず、これが問題になる。例えば、このトランスコンダクタンス増幅器の出力端子にキャパシタを接続して積分器を構成することができるから、その積分器を複数個相互に接続することによって、フィルタが構成できる。しかし、これは、ある積分器の出力端子に他の積分器の入力端子が接続されるということであるから、ある積分器の出力端子には他の積分器の低い入力抵抗が負荷され、フィルタの Q 値が著しく低下してしまうという問題を生ずる。

(発明が解決しようとする課題)

上記の状況をまとめると、次の①②のようになる。

① 広い線形動作範囲を有し、かつ、そのトランスコンダクタンスが可変であるような差動増幅

— 1 1 —

器が、フィルタ、乗算器、発振器などにおいて必要とされているが、従来のエミッタデジェネレーションを用いるゲインセルタイプの差動増幅回路では線形動作範囲は広いが S/N 比が悪い。

② また、エミッタデジェネレーションを用いない A B 級差動増幅回路では線形範囲が広く S/N 比も良好であるが入力インピーダンスが低い。

本発明は、これらの点に鑑みて、広い線形動作範囲を有し、かつ入力インピーダンスが高い線形化差動増幅器を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

上記の目的を達成するための本発明の線形化差動増幅器は、バイポーラトランジスタを用いた差動増幅ペアの入力端子同士と出力端子同士をそれぞれ並列的に接続して成る差動増幅器において、N を 4 以上の整数として N 組の差動増幅ペアを配置し、各差動増幅ペアに等価的なオフセット電圧を与える手段と、これらの出力電流を重み付けする手段と、これらの出力電流を加算する手段とを

— 1 3 —

— 1 2 —

具備することを特徴とする。

(作用)

N を 4 以上の整数として N 組の差動増幅ペアのそれぞれに相異なる適切なオフセット電圧を与えると、各々の差動増幅ペアのトランスコンダクタンスの絶対値は前記オフセット電圧に等しい入力電圧に対して最大値を生じ、その入力電圧を中心として対称的な値を取り、それより大きい電圧に対しても、また小さい電圧に対しても単調にその値を減ずる。

その様子は、式 (2) において、 V_o をオフセット電圧 V_{os} と V_o の和と置くことによって数値的に計算することができ、式 (2) で示す第 20 図 (b) のグラフを V_{os} だけ右に平行移動したものとなる。

このように、一つの差動増幅ペアのトランスコンダクタンスは入力電圧に対して単峰性の特性を持つから、N 組の差動増幅ペアのそれぞれに同一の入力電圧と適当なオフセット電圧の和の電圧を与えれば、N 個の峰を作ることができる。

— 1 4 —

そこで、N個の差動増幅ペアの出力電流を重み付けして加算することにより、N個の高さの異なる峰から、平坦な頂上を持つひとつの峰を合成し、線形動作範囲を拡大することができる。ここに差動増幅ペアの数を4以上とするので、拡大範囲は単なる差動増幅ペアと比べて9倍以上となり、十分実用的となる。

(実施例)

以下、本発明の実施例を説明する。

まず、本発明における線形化の基本的な考え方は、第1図に示すが如き回路により、第20図(a)においてトランスコンダクタンス G_m をX軸方向に正負にオフセットを与えて平行移動したものを複数個用意し、それらを重み付けして加えるというものである。

すなわち、第1図に示す線形化差動増幅器では、第19図で示した差動増幅ペア16をN個(Nは4以上の整数)並列に備えて成り、各ペア16には、オフセット電圧付与手段17(7, 8)と、出力電流を重み付けする手段18と、負荷15と

— 15 —

に与えるべきである。したがって、差動増幅ペアを奇数個(例えば5, 7個)用いる場合は、ひとつの差動増幅ペアにはオフセットを与えず、残り偶数個の差動増幅ペアは2組づつまとめて絶対値が等しく正負対称なオフセットとなるよう重み付けをすることになる。また、差動増幅ペアを偶数個(例えば4, 6個)用いる場合は、奇数個の場合の残り偶数個の差動増幅ペアに対する処置と同じにすればよい。

Gを最終的に得られる伝達コンダクタンス、 α_k , β を G_m に対する重み係数、 d_k をk(kは1以上の整数)番目のオフセット値、Nを差動ペアの組の数、 $[N/2]$ をN/2の整数部分を表す記号とすると、

$$G(x) = \sum_{k=1}^{[N/2]} \alpha_k \{ G_m(x - d_k) + G_m(x + d_k) \} + \beta G_m(x) \quad \dots (6)$$

となる。

式(6)で総和記号の付いた項は、kについて

— 17 —

の間に加算手段19が設けられている。

重み付け手段18は、各差動増幅ペアのコレクタ側に配設することができるが、エミッタ側に設けることもできる。

また加算手段19は、通常の電氣的加算回路を用いることができるが、加算すべき各差動増幅ペアの出力電流が高インピーダンスで供給される場合は単に各配線を接続するだけの特別に簡単なワイヤード・オア回路で実現できて有利である。

第2図(a)(b)(c)に負荷回路の一例を示した。(a)図は抵抗負荷15Aの例、(b)図はカレントミラー負荷15Bの例、(c)図はバイアス電圧端子20を持つ電流源を備えた負荷15Cの例である。

ここに、従来例で示した第20図(b)から分かるように、 G_m のカーブはy軸に関して対称だから、なるべく広い線形動作範囲を得るためには、正負のオフセットもy軸に関して対称に与えるべきである。同様に、各々の差動増幅ペア16の G_m に対する重み付けもy軸に関して対称

— 16 —

和をとることを表し、偶数個の差動増幅ペアを2組づつまとめた部分を表す。 β の掛かった項は奇数個の差動増幅ペアを用いる場合のオフセットを与えない部分を表している。すなわち、偶数個の差動増幅ペアを用いて線形化を行なう場合には $\beta = 0$ となり、奇数個の差動増幅ペアを用いる場合は $\beta \neq 0$ となる。例えば、4組の差動増幅ペアを用いて線形化を行なう場合は、 $4 = 2 \cdot 2$ であるから、 $k = 1, 2$ であり、4は偶数だから $\beta = 0$ として、

$$G(x) = \alpha_1 \{ G_m(x - d_1) + G_m(x + d_1) \} + \alpha_2 \{ G_m(x - d_2) + G_m(x + d_2) \} \dots (7)$$

となる。

線形化に当っては、電流の一次導関数である伝達コンダクタンスGをできるだけ広範囲のxに対して一定値を取るようにするのが望ましい。

そのためには、Gの各次数の導関数の値ができるだけ広範囲にわたってゼロに近づくようにすれ

— 18 —

ばよい。一定値を近似する関数近似法としてよく用いられる方法に、最大平坦近似と、等リップル近似がある。

最大平坦近似は、 $x = 0$ における G の導関数を、できるだけ高い次数までゼロにする近似方法である。 n 次までの導関数がゼロの場合を n 次の最大平坦特性と呼ぶ。

等リップル近似では、伝達コンダクタンスの一定な部分を、ある予め決められた許容幅をもって実現しようとするものである。

以下の説明のため、 G_m の各次数の導関数を計算した結果を示しておく。ここで、 G_m の n 次の導関数を $G_m^{(n)}$ と表すことにする。

$$G_m^{(0)} = dy/dx = 1 - \tanh^2(x) \\ = G_m \quad \dots\dots (8)$$

$$G_m^{(1)} = 2 \tanh^3(x) \\ - 2 \tanh(x) \quad \dots\dots (9)$$

$$G_m^{(2)} = -6 \tanh^4(x) \\ + 8 \tanh^2(x) - 2 \quad \dots\dots (10)$$

$$G_m^{(3)} = 24 \tanh^5(x) - 40 \tanh^3(x)$$

- 19 -

$$G(x) = \alpha_1 [G_m(x - d_1) \\ + G_m(x + d_1)] \\ + \alpha_2 [G_m(x - d_2) \\ + G_m(x + d_2)] \quad \dots\dots (13)$$

すなわち、式(13)は回路的にはオフセット d_1 を持った差動ペア2組と、オフセット d_2 をもった差動ペア2組との出力を、重み α_1 と α_2 の割合で加えたものに相当する。また、重み α_1 と α_2 は、その比が重要であって、 $\alpha_2 = 1$ としても一般性を失わないから、以後これを仮定する。さらに、対称性の考察から、

$$0 < d_1 < d_2 \quad \dots\dots (14)$$

としても一般性を失わない。したがって、式(13)は次式のように変形できる。

$$G(x) = \alpha_1 [G_m(x - d_1) \\ + G_m(x + d_1)] \\ + [G_m(x - d_2) \\ + G_m(x + d_2)] \quad \dots\dots (15)$$

上式は $x = 0$ に関して対称であるから、 $G(x)$ の奇数次の導関数は $x = 0$ においてゼロとなる。

- 21 -

$$+ 16 \tanh(x) \quad \dots\dots (11) \\ G_m^{(4)} = -120 \tanh^6(x) \\ + 240 \tanh^4(x) \\ - 136 \tanh^2(x) + 16 \quad \dots\dots (12)$$

次に、4組の差動増幅ペアを使う場合を例にとり、本発明の第1の実施例を説明する。

第3図は本発明の第1の実施例の構成を説明するための回路図である。同図で、15は負荷、16A, 16B, 16C, 16Dは第1～第4の差動増幅ペア、7A, 7B, 7C, 7Dはオフセット電圧付与手段としての直流電圧源、9A, 9B, 9C, 9Dはそれぞれ第1～第4の差動増幅ペアの共通エミッタに接続された電流源、1, 2は入力端子、3, 4は出力端子を表している。

まず、電圧源7A, 7B, 7C, 7Dおよび電流源9A, 9B, 9C, 9Dの具体的な値の決定法について説明する。一般的な表現である(6)式を、4組の差動増幅ペアを用いる場合について具体的に書くと次式となる。

- 20 -

したがって、広い範囲にわたって平坦なトランスコンダクタンス特性を得るためには、できるだけ高次の偶数次導関数まで $x = 0$ においてゼロとなるようにパラメータを決定することが課題となる。

そこで、上記式(15)において、 $G^{(0)} = G^{(1)}(0) = 0$ 、となるような d_1, d_2, α_1 を求める。ここで、ダッシュ符号(′)は x に関する微分を表す。まず、2次の微分係数がゼロになる条件から吟味する。

$$G^{(2)}(0) = 2\alpha_1 [-3X^4 + 4X^2 - 1] \\ + 2[-3Y^4 + 4Y^2 - 1] \quad \dots\dots (16)$$

ここで、

$$X = \tanh^2(d_1), \\ Y = \tanh^2(d_2) \quad \dots\dots (17)$$

と置き換えた。したがって、 $0 \leq X < 1, 0 \leq Y < 1$ を満足する必要がある。

(16)式を Y について解くと：

$$Y = [4/3 \pm \sqrt{(16/9 - 4/3)}] \cdot \\ (1 - \alpha_1 (-3X^2 + 4X - 1)) / 2$$

- 22 -

… (18)

上式で、

$$F = -3X^2 + 4X - 1 \quad \dots (19)$$

と置くと、根が $0 \leq Y < 1$ を満足する条件は、簡単な計算から

$$\begin{aligned} -1/3F \leq \alpha_1 < 1/F & \quad \text{for } F > 0, \\ 1/F \leq \alpha_1 < -1/3F & \quad \text{for } F < 0 \end{aligned} \quad \dots (20)$$

となる。

いったん F の値を決めると、 F の取り得る範囲は $-1 < F < 1/3$ であるが、それに対応した α_1 は正負全域の範囲に亘って変化し得る。

以上の $G''(0)$ になる条件を求める手順をまとめると、次の①～⑤となる。

- ① $0 \leq X < 1$ なる X をひとつ決める。
- ② (19) 式で与えられる F の値を計算する。
- ③ (20) 式から α_1 の取り得る範囲を定め、その範囲の α_1 をひとつ選ぶ。
- ④ (18) に F と α_1 の値を代入して Y の値を計算する。

— 23 —

4 次の微分係数をゼロにする Y の値、すなわち d_1 の値およびそのときの 6 次の微分係数も計算した。

計算結果によれば、 $d_2 \geq 1.147$ 及び $d_2 \geq 2.358$ の領域で、 $G(0) \neq 0$ かつ $G''(0) = 0$ を満足する解が存在することがわかった。これ以外の領域では、各次数の微分係数がゼロにはなるが、伝達コンダクタンス自体もゼロとなるので回路的には意味のない解になる。

さらに、 $d_2 = 1.2977$ 付近において、6 次の微分係数もゼロであるから、この条件では 7 次の最大平坦特性を得ることができる。

以上をまとめると、(15) 式において、

$$\begin{aligned} d_1 &= 0.354071095 \\ d_2 &= 1.297724854 \\ \alpha_1 &= 0.5478454142 \end{aligned}$$

の条件を満たすとき、7 次の最大平坦特性が得られることになる。

さて、次に以上の結果を実際の回路に適用する例を示す。

— 25 —

⑤ 上の①と③と④で決めた X と Y と α_1 の組が、 $G''(0) = 0$ にするパラメータである。

上記の手順から明らかな如く、 X と α_1 の取り得る範囲は関係があり、この α_1 を介して Y の取り得る値の範囲が決まる。したがって、2 次の微分係数をゼロにする条件を課しても、可能な Y の範囲から、ある特定の Y を選択する自由度が残る。すなわち、この自由度を用いて、さらに何次かの微分係数がゼロにできる可能性がある。そこで、次に 4 次の微分係数をゼロにする条件を調べる。

4 次の微分係数は次式で与えられる。

$$\begin{aligned} G''''(0) &= 16(-15Y^3 + 30Y^2 \\ &\quad - 17Y + 2) + 16\alpha_1 \\ &\quad \cdot (15X^3 + 30X^2 \\ &\quad - 17X + 2) \quad \dots (21) \end{aligned}$$

ただし、 X 、 Y 、 α_1 は上に述べた①～⑤の条件を満たしているものとする。

計算機を用いて (21) 式の値を数値的に評価した。その際、 d_2 を与えることによって (21) 式を評価するだけでなく、繰り返し計算によって、

— 24 —

式 (3) で正規化を行なった変数 x 、 y を元の変数に戻せば、

$$I_d = Y \cdot \alpha_p / I_{EE} \quad \dots (22)$$

$$V_d = -X^2 V_T \quad \dots (23)$$

となる。したがって、 d_k に対応するオフセット電圧を V_{dk} とすると、

$$V_{dk} = -d_k^2 V_T, \quad (k = 1, 2) \quad \dots (24)$$

である。これらの d_1 、 d_2 に対応するオフセット電圧 V_{d1} 、 V_{d2} は式 (24) により、絶対温度 $T = 300 \text{ K}$ のとき

$$\begin{aligned} V_{d1} &= -0.354071095 \cdot 2V_T \\ &= -18.30 \text{ mV} \quad \dots (25) \end{aligned}$$

$$\begin{aligned} V_{d2} &= -1.297724854 \cdot 2V_T \\ &= -67.07 \text{ mV} \quad \dots (26) \end{aligned}$$

となる。

ゆえに、第 3 図に示す 4 組の差動増幅ペアの入力端子と出力端子同士をそれぞれ並列的に接続された回路構成において、たとえばオフセット電圧を与える手段 7B と 7C としてそれぞれ -18 、

— 26 —

30 mV および +18.30 mV の直流電圧源を用い、7A と 7B としてそれぞれ -67.07 mV および +67.07 mV の直流電圧源を用い、出力電流を重み付けする手段としてたとえば各差動増幅ペアの共通エミッタに接続されている電流源 9A, 9B, 9C, 9D を用いて、それらの電流値をそれぞれ約 1 : 0.54781 : 0.54781 : 1 に設定することによって、7 次の最大平坦特性が実現できる。

ここで負荷 15 の電流源 22, 23 は回路の直流動作点を定めるためのものであって、それぞれほぼ電流源 9A, 9B, 9C, 9D の電流値の和の 2 分の 1 ずつに設定する。

このように設定した場合の回路の動作をより直観的に説明するため、第 3 図の各差動増幅ペア 16A, 16B, 16C, 16D の差動入力電圧に対する差動出力電流の依存性を第 4 図 (a) のグラフ 25, 27a, 27b, 26 でそれぞれ示す。

各差動増幅ペアの出力端子は並列接続されているので、負荷抵抗 24 を流れる差動出力電流は、

— 27 —

りにトランジスタ 6A (6B) のベース端子と入力端子 2 の間に大きさが 7A (7B) と等しい電圧源を入力端子 2 の側が正になるように挿入しても全く同様の効果が得られる。

さらに、オフセット電圧付与手段として別の方法を用いた例を第 6 図を用いて説明する。この方法は差動増幅ペアを構成する 2 個のトランジスタのエミッタ面積を故意に異ならせることにより、オフセットを持った差動増幅ペアを得るものである。

すなわち、トランジスタのベース・エミッタ間電圧を V_{be} 、コレクタ電流を I_c とすると、

$$V_{be} = V_T \log_e [I_c / I_s] \dots \dots (27)$$

なる関係が成り立つ。ここで、 V_T , I_s は前述の熱電圧、逆方向飽和電流である。 I_s はエミッタ面積に比例するので、差動増幅ペアの一方のトランジスタのエミッタ面積を他方の M 倍にすると、コレクタ電流が同じだと、そのトランジスタのベース・エミッタ間電圧 V_{be} は、

$$V_{be} = V_T \log_e [I_c / M I_s]$$

それぞれの電流の和になるから、第 4 図 (a) に示す 25, 27a, 27b, 26 のカーブの和になり、同図に 28 で示すカーブとなる。

同図から明らかなように、カーブ 28 は 25 ~ 27 のどれよりも広い直線範囲を示している。

このことをより明確にするため、カーブ 25 ~ 28 を微分したカーブ、すなわちトランスコンダクタンスのカーブをそれぞれの番号に ' を付けて第 4 図 (b) に示した。同図から、本例の線形化差動増幅器のトランスコンダクタンスのカーブ 28' は通常の差動増幅ペアのそれを横軸方向へ平行移動したものである 26' に比べて 9 倍以上の広い線形動作範囲を提供することがわかる。

第 3 図に示した回路では、逆極性で大きさの等しいオフセット電圧付与手段 7A, 7D (7B, 7C) が、差動増幅ペア 16A, 16D (16B, 16C) を構成するトランスジスタ 5A, 5D (5B, 5C) にそれぞれ加えられているが、差動増幅ペアの特性を利用して、たとえば、第 5 図に示すように、7A (7B) を短絡除去し、代わ

— 28 —

… (28)

となるので、両トランジスタのベース・エミッタ間電圧の差を ΔV_{be} とすると

$$\begin{aligned} \Delta V_{be} &= V_T \log_e [I_c / I_s] \\ &\quad - V_T \log_e [I_c / M I_s] \\ &= V_T \log_e (M) \dots \dots (29) \end{aligned}$$

となる。

したがって、この非対称な差動増幅ペアは、見掛け上 $V_T \log_e (M)$ のオフセット電圧を持つ対称な差動増幅ペアと等価になる。本実施例の場合は

$$V_T \log_e (M) = d \cdot 2 V_T \quad (k = 1, 2) \dots \dots (30)$$

となるように M を定めればよいから、二つの M を添字で区別すると、

$$M_1 = e^{2d_1} = 13.40261 \dots \dots (31)$$

$$M_2 = e^{2d_2} = 2.030215 \dots \dots (32)$$

となる。

すなわち、差動増幅ペアを構成するトランジスタのエミッタ面積の比を 1 : 13.40261 お

よび 1 : 2.030215 にすればよい。

このオフセット電圧付与手段は、第 3 図及び第 5 図に示した実施例とくらべて、温度補償をする必要のない点が優れている。すなわち、オフセット電圧付与手段として直流電圧源を用いるならば、その値は式 (24) で与えられる通り、 V_T に比例する必要がある。しかるに、エミッタ面積の違いを利用したオフセット電圧手段は式 (30) から分かるように V_T が打ち消し合うから、自動的にその温度に応じた適切なオフセット電圧を発生することができる。

第 6 図は第 2 実施例の具体的な回路例である。図において、第 3 図及び第 5 図と異なるところは、オフセット電圧付与手段が電圧源ではなく、差動増幅ベアのエミッタ面積の違いで実現されているところである。

第 6 図において、オフセット電圧付与手段はトランジスタ 5 A, 6 D のエミッタ面積がトランジスタ 6 A, 5 D のエミッタ面積の約 13.40 倍に、トランジスタ 5 B, 6 C のエミッタ面積がト

— 31 —

約 1 : 2.03、トランジスタ 30 と 32 のエミッタ面積比 M_2 を約 1 : 13.40 とすることにより入力端子 36 に加えられた電圧は出力端子 38 と 39 および 38 と 40 の間で式 (24) の値だけ電位差を持つようになる。

このようにすることにより、絶対温度が 300 K のとき出力端子 38 を基準にして、出力端子 39, 40 はそれぞれ約 18.30 mV, 67.07 mV の電位差を発生することができ、第 3 図の回路と同様の効果が得られる。

さらに、第 7 図 (a) に示すオフセット電圧を発生する回路を用いて構成される差動増幅器の各差動増幅ベアはすべて同じエミッタ面積比のトランジスタを用いて構成することができるので、エミッタ面積の大きいトランジスタを含む第 6 図の回路よりも高周波特性の優れた 7 次の最大平坦特性を得ることができる。

つぎに、さらに別の変形例を説明する。すでに説明したように、第 7 図 (a) はオフセットを発生するための回路であるが、オフセット電圧はト

— 33 —

ランジスタ 6 B, 5 C のエミッタ面積の約 2.03 倍にそれぞれ設定してあることで実現されている。

さらに別の変形例を説明する。第 7 図 (a) はオフセット電圧 V_{o1} , V_{o2} を発生するための回路であるが、オフセット電圧はエミッタフォロウを構成するトランジスタ 30, 31, 32 のエミッタ面積の違いによって変化させることができる点に着目する。

すなわち、式 (30) の M 値を、トランジスタ 30, 31, 32 のエミッタ面積比としても、所望のオフセットを得ることができる。この場合はトランジスタ 30, 31, 32 に等しい電流を流すためにトランジスタ 33, 34, 35 による電流源が配設されている。すなわちトランジスタ 33, 34, 35 はいずれも同じエミッタ面積のトランジスタであり、それらのベースに端子 37 を介して等しい電圧が与えられている。この条件は、前記式 (29) を導いた場合と同じであるから、トランジスタ 30 と 31 のエミッタ面積比 M_1 を

— 32 —

ランジスタ 30, 31, 32 のエミッタ面積の違いだけでなく、これらの動作電流によっても変化させることができる。

すなわち、式 (30) の M 値を、トランジスタ 30, 31, 32 のエミッタ面積比でなく動作電流の比としても、所望のオフセットを得ることができる。

この場合はトランジスタ 30, 31, 32 を等しいエミッタ面積とし、それぞれに $M_2 : M_1 : 1$ の電流を流すためにトランジスタ 33, 34, 35 による電流源を配設すればよい。すなわち、この場合はトランジスタ 33, 34, 35 はエミッタ面積比を $M_2 : M_1 : 1$ としたトランジスタであり、それらのベースには端子 37 を介して等しい電圧が与えられている。この条件は、前記式 (29) を導いた場合と同じであるから、入力端子 36 に加えられた電圧は出力端子 38 と 39 の間で式 (24) の値だけ電位差を持つようになる。

したがって、第 7 図 (a) の回路を用いて構成される第 8 図の回路構成において、トランジスタ

— 34 —

33, 34, 35のエミッタ面積を等しく設定し、トランジスタ30, 31, 32のエミッタ面積比を1:2.03:13.04とすることにより、第3図の回路と同様の効果が得られる。

上述のエミッタフォロウを用いたオフセット電圧付与手段では周波数特性が向上するという利点があるものの、差動増幅ペア自体のエミッタ面積を変える第6図に示した実施例に比べて、回路を構成するトランジスタの占める総面積が大きくなってしまいう問題が残る。この点を緩和するため、エミッタフォロウを用いるオフセット電圧手段のトランジスタが占める面積を低減する方法につき示す。

オフセット電圧 V_{s1} , V_{s2} を発生するための第7図(a)の回路において、オフセット電圧はトランジスタのエミッタ面積の違いだけでなく、これらの動作電流によっても変化させることができる点に着目する。すなわち、式(28)のM値を、トランジスタ30, 31, 32のエミッタ面積比だけでなく動作電流の比も利用して実現すること

— 35 —

と、最も小さいトランジスタのエミッタ面積を1として、第6図の回路では $2 \cdot (13.40 + 1 + 2.03 + 1) = 34.86$ となり、第9図の差動増幅器に第7図(a)のオフセット電圧付与手段を適用した場合は $2 \cdot (1 + 1 + 2.030 + 1 + 13.40 + 4) = 46.86$ となり、また第9図に第7図(b)のオフセット電圧付与手段を適用した場合は $2 \cdot (1 + 3.661 + 1.425 + 2.569 + 3.661 + 4) = 34.63$ となり、第7図(b)に示した面積低減法を適用すると、素子数は増加するがむしろ第3図の回路よりも少ない面積で、より高性能の回路が実現できることが分かる。

ここで、本発明に係る線形範囲拡大の効果をより明確に示すため、従来の差動増幅ペア2組を用いる増幅器と、本発明に係る4組の差動増幅ペアを用いる増幅器を、正規化した入出力特性のグラフで比較してみる。第10図はトランスコンダクタンス特性のグラフであるが、横軸が差動入力電圧であり、縦軸が正規化したトランスコンダクタ

— 37 —

により、所望のオフセットを得ることができる。そこで、面積比だけ、あるいは電流比だけを利用するのではなく、この両方を利用して占有面積も電流値も適当な値にできる。

この回路でトランジスタの占有面積を減らすため、トランジスタのエミッタ電流を異ならせた例を第7図(b)に示す。

第7図(b)では第7図(a)に比べてトランジスタの占有面積を削減するために、トランジスタ41, 42, 43および44, 45, 46のエミッタ面積を $1 : \sqrt{M2} : \sqrt{M1} : \sqrt{M1} : \sqrt{M1} / \sqrt{M2} : 1$ すなわち約1:1.425:3.661:3.661:2.569:1に設定する。このようにすることにより、絶対温度が300Kのとき出力端子38を基準にして、出力端子30, 40はそれぞれ約18.30mV, 67.07mVの電位差を発生することができ、第3図の回路よりも良好な高周波特性を得ることができる。この場合の全体の回路構成を第9図に示す。

この方法による面積低減の効果を比較してみる

— 36 —

ンスである。

同図中でIは4組の差動増幅ペアを用いた本案の場合のトランスコンダクタンスを、IIは従来の2組の差動増幅ペアを用いた場合のトランスコンダクタンス特性をそれぞれ表している。同図から明らかなように、本発明により線形動作範囲を大幅に拡大できることが分かる。

定量的に線形範囲の広さを比較するため、最大値で正規化したトランスコンダクタンス $G(V_d)$ が最大値から1%低下するまでの V_d の幅(尖-尖頭値)を調べた結果を表1に示す。

(以下余白)

— 38 —

表1 各線形化法に対する線形範囲とその条件

差動ペアの数	d_1	d_2	α_1	β_1	1%の幅(P-P) °
1組 ^a	なし	なし	なし	なし	10.8mV(.248)
2組 ^b	0.658479	なし	なし	なし	41.4mV(1.00)
4組	0.354071	1.297725	0.547845	なし	96.8mV(2.32)
a)単なる差動ペア。 b)従来の線形化差動ペア。 ()内の数字はb)に対する比率を示す。					

- 39 -

ブル近似を実現する実施例について説明する。

等リップル特性を実現するために必要なパラメータに関する解析的な条件を導くことはできるが、非線形の連立方程式となり、それを解くのは困難であるため、ここでは計算機を用いて数値的にパラメータの近似値を求めた。その一例として、

$$\alpha_1 = 0.72,$$

$$\alpha_2 = 1,$$

$$d_1 = 0.55,$$

$$d_2 = 1.794$$

とすると、トランスコンダクタンスは最大値の約0.75%の波打ちをもった等リップル特性にできる。

上記のパラメータを回路的に実現するには、これまでに説明した本発明の実施例の回路が全て利用できることは当然である。この実施例の効果を他の場合と比較するため、第10図の中に符号Ⅲを付けて等リップル近似の実施例を示した。同図(a)から明らかなように最大平坦近似の場合よりも平坦な範囲が広がっている。ただし、同図

- 41 -

上記表から、 $G(V_d)$ が最大値から1%低下するまでの V_d の幅で比較すると、差動ペアを4組用いることにより、単なる差動ペアに比べて約9.35倍、従来の2組の差動ペアを用いる線形化差動ペアに比べて約2.32倍に線形範囲が拡大されている。

これまでの説明の過程からわかるように、5組以上の差動ペアを用いて、同様な手続きによりいくらかでも広い範囲に亘って線形化が可能なことは明らかである。ただ、その場合は、4組までの場合と違って、最大平坦特性を与えるパラメータが解析的に求まらず、数値計算によって求めなければならない。

これまではトランスコンダクタンスができるだけ水平な線に近似するよう、最大平坦特性を実現する条件について述べたが、他の近似法として、一定の波打ちを許容する等リップル近似があり、波打ちを許すことにより最大平坦近似よりも広い線形範囲が得られる。そこで、つぎに、4組の差動ペアを用いた線形化差動増幅器において等リッ

- 40 -

(b)に示す部分拡大図から見える通り、細かく見ると波打ちが観察される。

たとえば、負荷回路として同図(b)のカレントミラーを用いれば、出力端子4に接続された別の負荷に対して入力端子1, 2の間に印加された差動入力電圧のトランスコンダクタンス倍の電流を、別の負荷に流すことができる。

本発明はまた、第5図(b)に示した各差動増幅ペアのトランスコンダクタンスの合成の仕方から容易に考え付くように、オフセット電圧値と出力電流の重み付け係数を、最大平坦特性を与える値から適当に変化させることにより、全体のトランスコンダクタンスの平坦性をある程度低下させて、トランスコンダクタンスが一定と見做せる範囲をより拡大することができるのも明らかである。

さらに、実施例は差動増幅ペアを構成するトランジスタとして全てNPNトランジスタを用いて説明したが、これはPNPトランジスタであっても同様の効果を得ることができる。また、ここで用いたバイポーラトランジスタとしては、ゲルマ

- 42 -

ニウム、シリコン、ガリウム砒素など、どれでも同様の効果を得ることができる。勿論ヘテロバイポーラトランジスタを用いることもできる。

要するに、4組以上の差動ペアを並列してトランスコンダクタンスの平坦範囲を拡大せんと意図するものは全て本発明に含まれる。

また、以上の実施例では単に増幅器の応用のみを示したが、増幅器を利用したフィルタ、リミッタ、ミキサ回路等にも使用できる。

まず、リミッタとしての実施例を説明する。第4図(a)から明らかなように、本発明によれば、例えば $N=4$ のとき同図の曲線28に示されるような入出力特性を実現することができ、例えば同図の曲線25に示されているような従来の単なる差動増幅器の入出力特性に比べて肩の部分の湾曲が角張っている。第11図はこれらの入力特性を比較する目的で、入力、出力共に正規化して示したものである。理想的なリミッタの入出力特性は、第11図に示した折れ線47で表わされるものであるが、本発明によれば従来の単なる差動増幅器

— 43 —

のことは必ずしも必要な条件ではないが、回路が単純になるのでこの場合について説明する。

第12図において、第1の入力信号源51によって第1の入力端子52、53に印加された差動電圧信号は第2の線形化差動増幅器50-2のトランスコンダクタンスによって差動出力電流を生じ、その差動出力電流をダイオード接続されたトランジスタ54、55によって第1、第3の線形化差動増幅器50-1、50-3の動作電流が差動出力電流に比例するように配設してある。

一方、第1、第3の線形化差動増幅器50-1、50-3は、第2の入力信号源56によって第2の入力端子57、58に印加された信号が互いに逆相で入力されるように接続され、かつ第1、第3の線形化差動増幅器50-1、50-3の出力電流は互に加え合うように接続されており、最終的な出力はこれら第1、第3の線形化差動増幅器50-1、50-3の出力電流を負荷抵抗59、60で電圧に変換して出力端子61、62へ出力される。

— 45 —

の特性48に比べて理想に近い特性49を実現できる。差動ペア数 N が4の場合の特性を示す。具体的には、第1図、第3図、第5図、第6図、第8図、第9図に示した上述の実施例において、用途に応じて負荷15を第2図(a)~(c)等の適当な回路で実現し、入力端子1、2から信号を入力し、出力端子3、4から振幅制限された出力を得ることができる。

次に本発明の増幅器を乗算器に適用した場合の実施例を説明する。

第12図は本発明を適用したアナログ乗算器の回路図である。同図で50(50-1、50-2、50-3)は本発明に係る線形化差動増幅器を表しており、一例として第6図の差動増幅器を用いている。この部分は本発明の第8図に示されている実施例のものをを用いても差しつかえない。

第12図には、3つの線形化差動増幅器50-1、50-2、50-3が示されているが、このうち同図の上部にある50-2は下部にある2つとは逆特性のトランジスタで構成されている。こ

— 44 —

まず第1の信号源51の差動入力電圧が零のときは、第1、第3の線形化差動増幅器50-1、50-3の動作電流が等しいので、第2の信号源56の差動入力電圧に関係なく第1、第3の線形化差動増幅器50-1、50-3の出力電流の変化分は互いに打ち消し合い、これらを加え合わせた出力電流は変化しない。すなわち出力端子61、62の電位差も零となる。しかし、第1の信号源51の差動入力電圧が零でないときは、第1、第3の線形化差動増幅器50-1、50-3の動作電流が第1の入力に比例した互いに逆極性の変化を生ずるので、第2の信号源56の差動入力電圧に比例した値となる。このとき、その比例係数は第1、第3の線形化差動増幅器50-1、50-3のトランスコンダクタンスで決まり、これは動作電流に比例するから、結局第1の入力に比例することとなる。

したがって、出力端子61、62に得られる差動出力は、第1および第2の信号源51、56の双方の差動入力電圧に比例した値となり、結局乗

— 46 —

算器が実現できる。回路の対称性から、第2の差動入力信号が零の場合は最終的な差動出力電圧も零となることは明らかである。かくして、第12図の構成によれば4象限型のアナログ乗算器が実現できる。

第13図は、第12図の回路において電流源63の値を $10\mu\text{A}$ 、正の電源端子64と負の電源端子65の間に 1.5V を印加することにより電源電圧を $\pm 0.75\text{V}$ とした場合の入出力特性をシミュレーションした結果を示す。

同図の横軸は第1の信号源51の差動入力電圧であり、縦軸は負荷抵抗59, 60を流れる電流の差電流値であり、パラメータとして第2の信号源56の差動入力電圧を $-40\text{mV} \sim 40\text{mV}$ の範囲で変化させた。同図から、第1、第2いずれの入力に対しても \pm 数 mV の範囲にわたって線形動作することがわかる。

この回路は、例えば前記文献「アナログ集積回路」7.3.節(pp. 234-238)に記載されている従来の差動ペアを用いた可変トランス

- 47 -

次に、本発明の線形化差動増幅器は動作電流を変化させることにより、可変トランスコンダクタとして使用できる。したがって、例えば文献D.W. H. Calder; "Audio Frequency Gyration Filters for an Integrated Radio Paging Receiver", International Conference on Mobile Radio Techniques, IEE Conference, York England, pp. 21-28, 1984.のFig. 3.4に記載されているように、トランスコンダクタを2個用いてジャイレータを構成し、そのジャイレータとキャパシタを用いて等価的にインダクタを実現することができるから、最終的にトランスコンダクタとキャパシタを用いて集積回路でアクティブフィルタを実現できる。

第15図は、同文献に示されている手法で設計した5次のローパスフィルタの回路図である。同図中の三角形の記号はトランスコンダクタを表しており、具体的には第16図に示すように本発明の線形化差動増幅器（この場合は $N=4$ の例を示してある）を用いることができる。同文献では $N=2$ の従来の線形化差動増幅器を用いているので、

- 49 -

コンダクタンス型乗算器（同書、図7.3）、

[または "Bipolar and MOS Analog Integrated Circuit Design" の 9.4, pp. 456-459 Figure 9.4] の変形に相当するが、同節に述べられているように従来の差動ペアでは線形動作範囲は数 mV 以下であった。これに本発明による線形化差動増幅器を用いることにより、10倍以上の線形範囲拡大が低い電源電圧で可能となる。

さて、以上では3つの線形化差動増幅器50-1, 50-2, 50-3のうち第1、第3がNPN、第2がPNPトランジスタで構成されている例を説明したが、例えば第14図のごとく全てNPNトランジスタで構成された線形化差動増幅器50-1と同じものを3個使い、中央に示したものの出力電流をカレントミラー回路66, 67で折り返しても第12図と同様の動作が実現できる。ただし、中央の線形化差動増幅器をNPNトランジスタで構成したため、バイアスを設定するためのトランジスタと電流源68, 63をそれぞれ逆極性の68Aと63Aに変更する必要がある。

- 48 -

この実施例の方が2倍以上の線形動作範囲が確保できる。実際には、線形化差動増幅器は数 $\text{mV} \sim 10\text{mV}$ 程度のオフセット電圧を有するため、その分だけ線形動作範囲が狭まる。すなわち、従来の線形化差動増幅器のように線形動作範囲が30 mV 程度しかない場合は本発明のように100 mV 程度の線形動作範囲を有するものに比べて、事実上著しく線形動作範囲が狭まることとなり、実際は本発明の方が数倍の線形動作範囲を有する結果となる。

第17図は、第16図に示した本発明に係る線形化差動増幅器を、第15図のローパスフィルタに適用して実際に試作したアクティブフィルタの周波数特性の実測結果である。同図はパラメータを電源電圧として入力電圧が100 mV p-pの条件で測定したものであり、1V程度まで良好な性能を示している。また、第18図は、試作したアクティブフィルタの1kHzにおける歪率特性の実測結果であり、歪率が1%の点で見ると、電源電圧1.1V, 1.5Vのいずれについても約

- 50 -

150 mV p-p の入力が可能であった。以上のように、本発明は低電圧動作に好適であることが実証された。

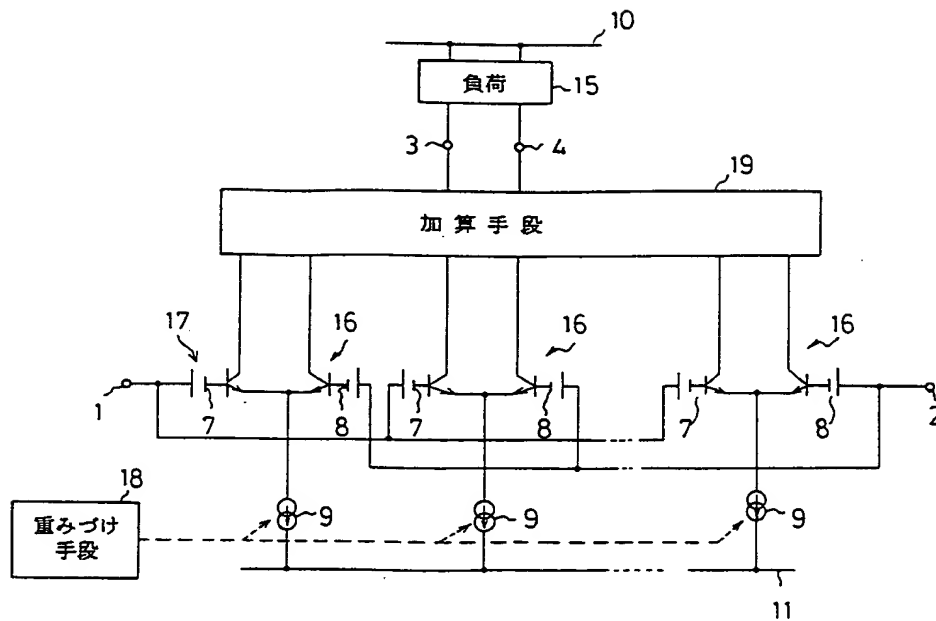
〔発明の効果〕

以上の通り、本発明は特許請求の範囲に記載の通りの線形化差動増幅器であるので、広い線形動作範囲を有し、かつ入力インピーダンスを高くすることができ、増幅器を始めとして、増幅器を利用したフィルタ、リミッタ、ミキサ回路等に広く利用できる。

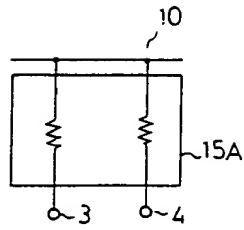
4. 図面の簡単な説明

第1図は本発明の全体概要を示す説明図、第2図は本発明に利用される負荷の一例を示す説明図、第3図は本発明の一実施例を示す回路図、第4図は上記実施例の作用を示す説明図、第5図は上記実施例の変形例を示す回路図、第6図は上記実施例の他の変形例を示す回路図、第7図(a)(b)はいずれも本発明の他の実施例に用いるオフセット電圧付与手段の構成例を示す回路図、第8図は第7図(a)に示す回路を用いた差動増幅器の回

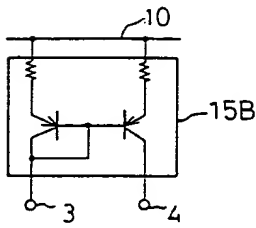
路図、第9図は第7図(b)の回路を用いた差動増幅器の回路図、第10図は本発明の作用を従来例との比較で示す説明図、第11図はリミッタへの対応につき正規化入力に対する正規化出力の特性を示す説明図、第12図はアナログ乗算器への応用例を示す回路図、第13図は第12図の回路の入出力特性のシミュレーション結果の説明図、第14図は第12図のアナログ乗算器の他の実施例を示す説明図、第15図は5次のローパスフィルタの回路図、第16図はこの回路に適用される線形化差動増幅器の説明図、第17図はこの線形化差動増幅器の周波数特性の説明図、第18図はアクティブフィルタの歪率特性の実測結果を示す図、第19図は一般的な差動増幅ペアの説明図、第20図はその作用を示す説明図である。



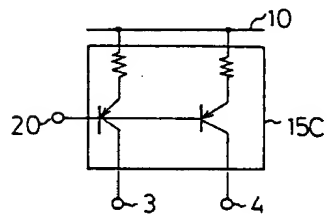
第1図



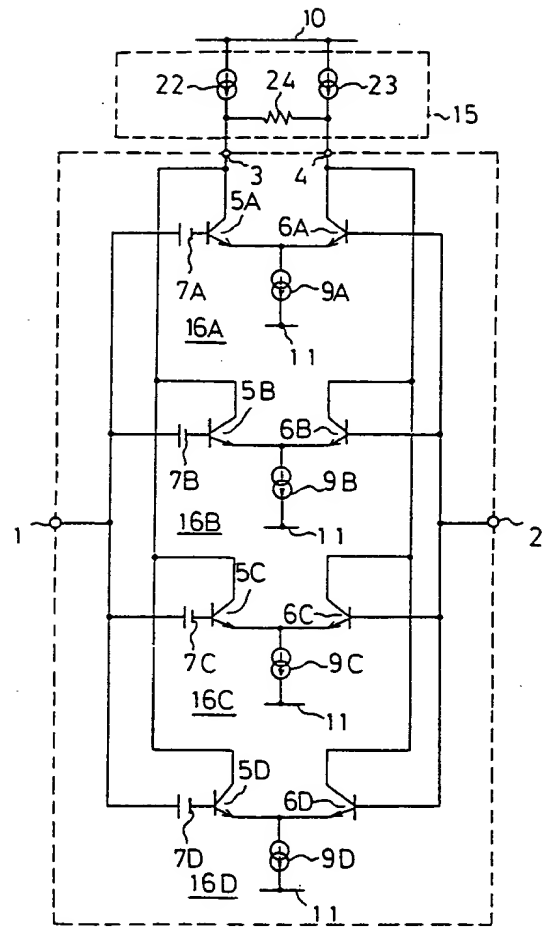
第 2 図(a)



第 2 図(b)

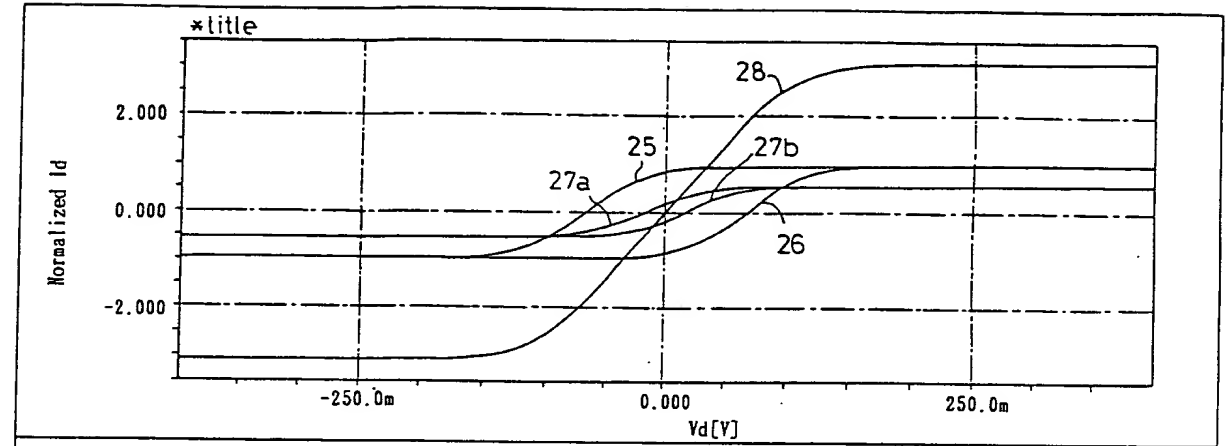


第 2 図(c)

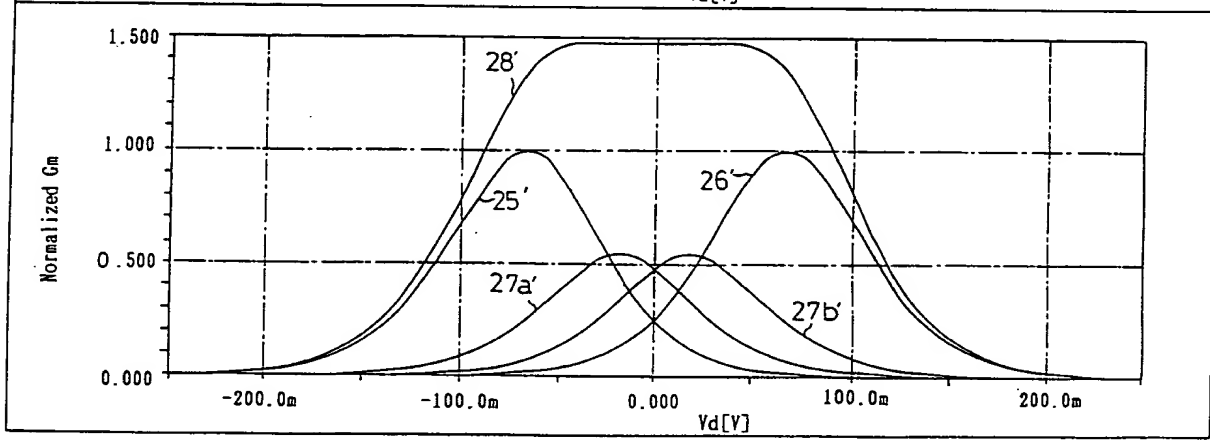


第 3 図

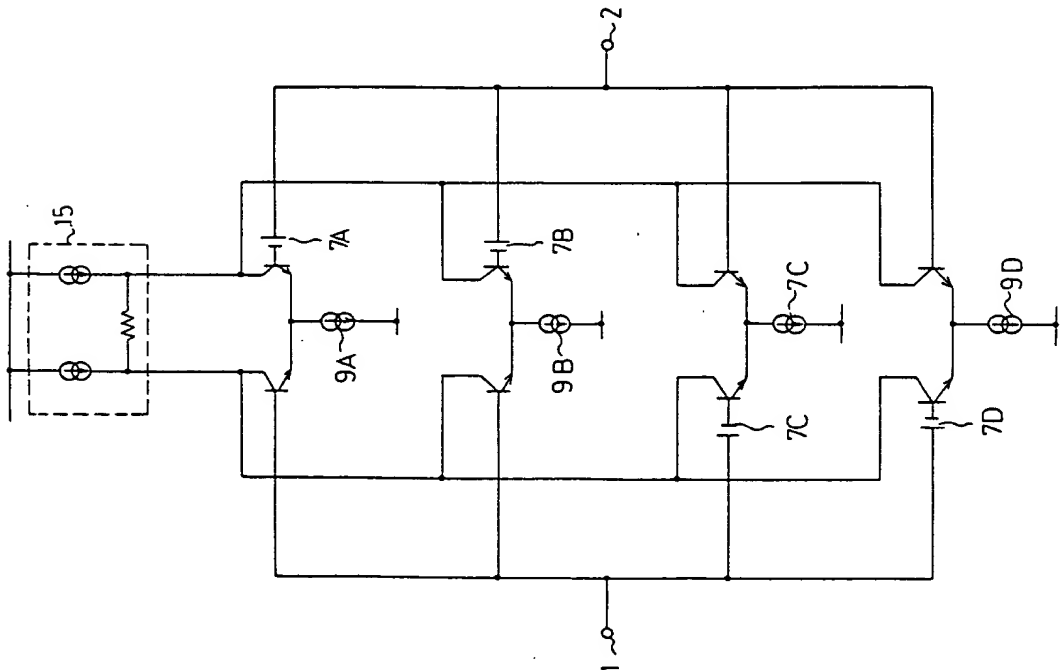
(a)



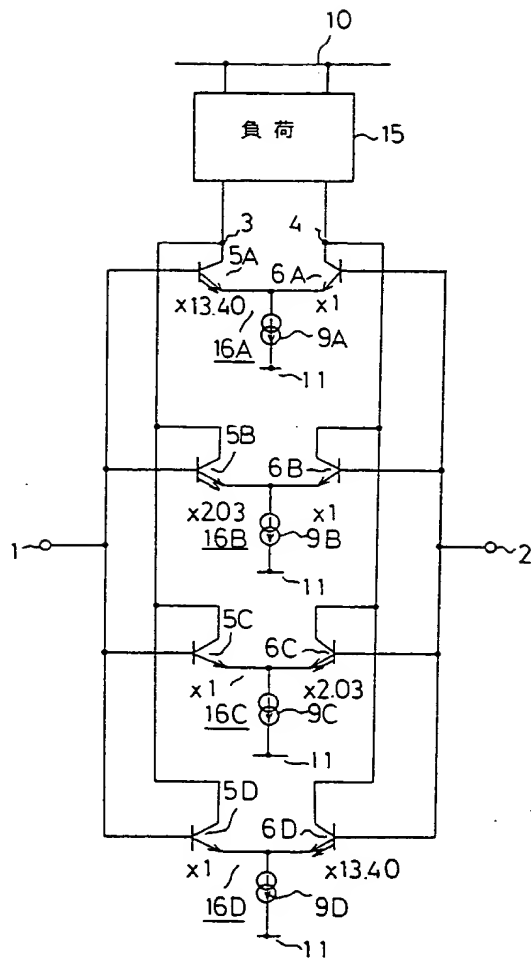
(b)



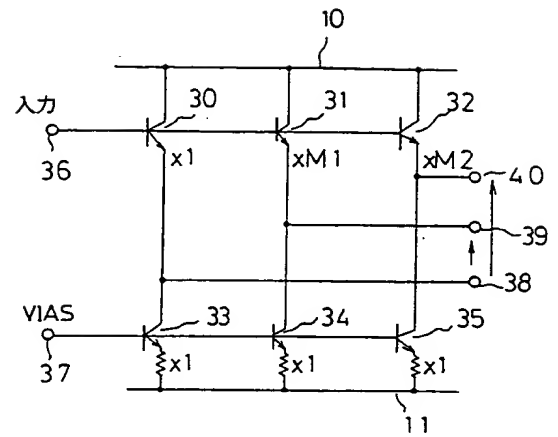
第 4 図



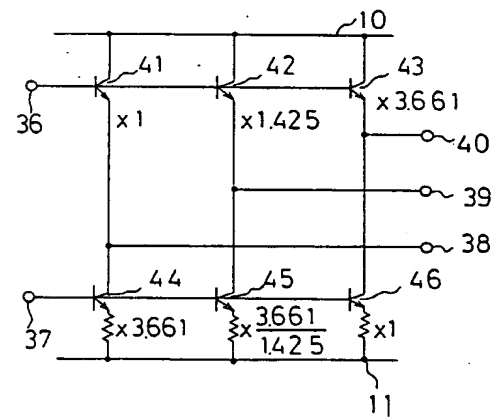
第 5 図



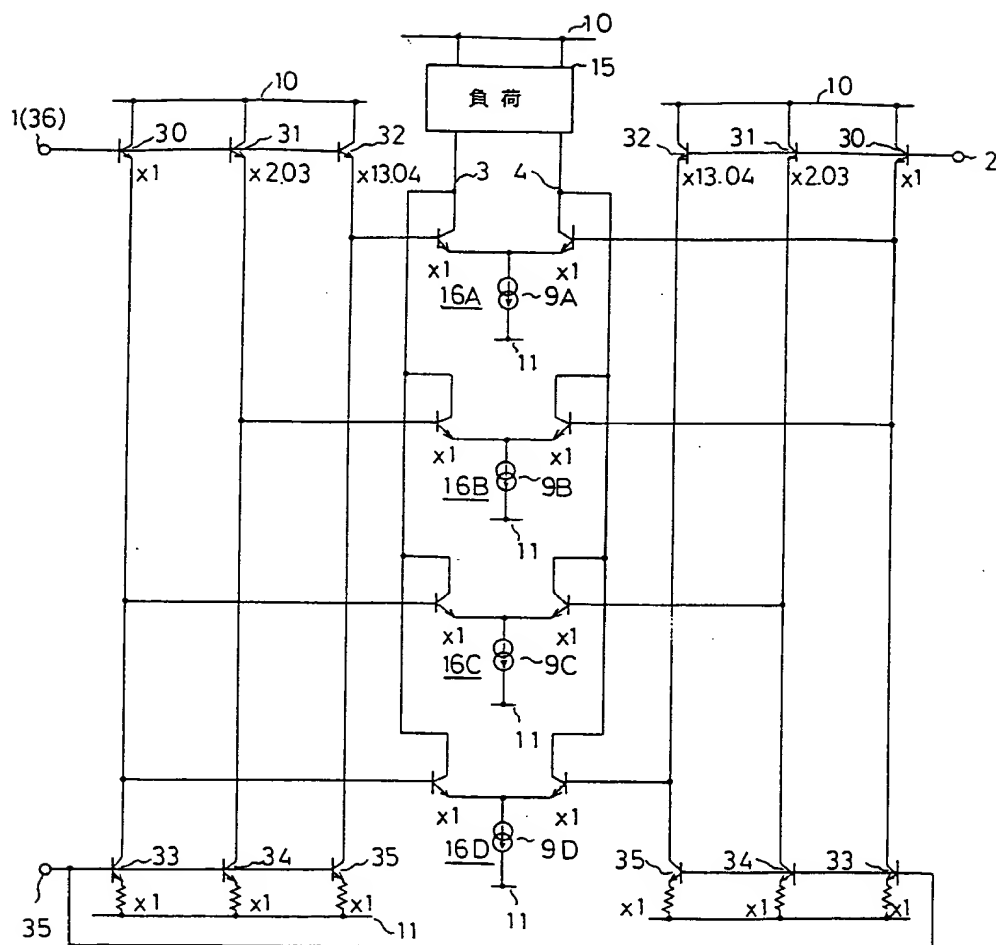
第 6 図



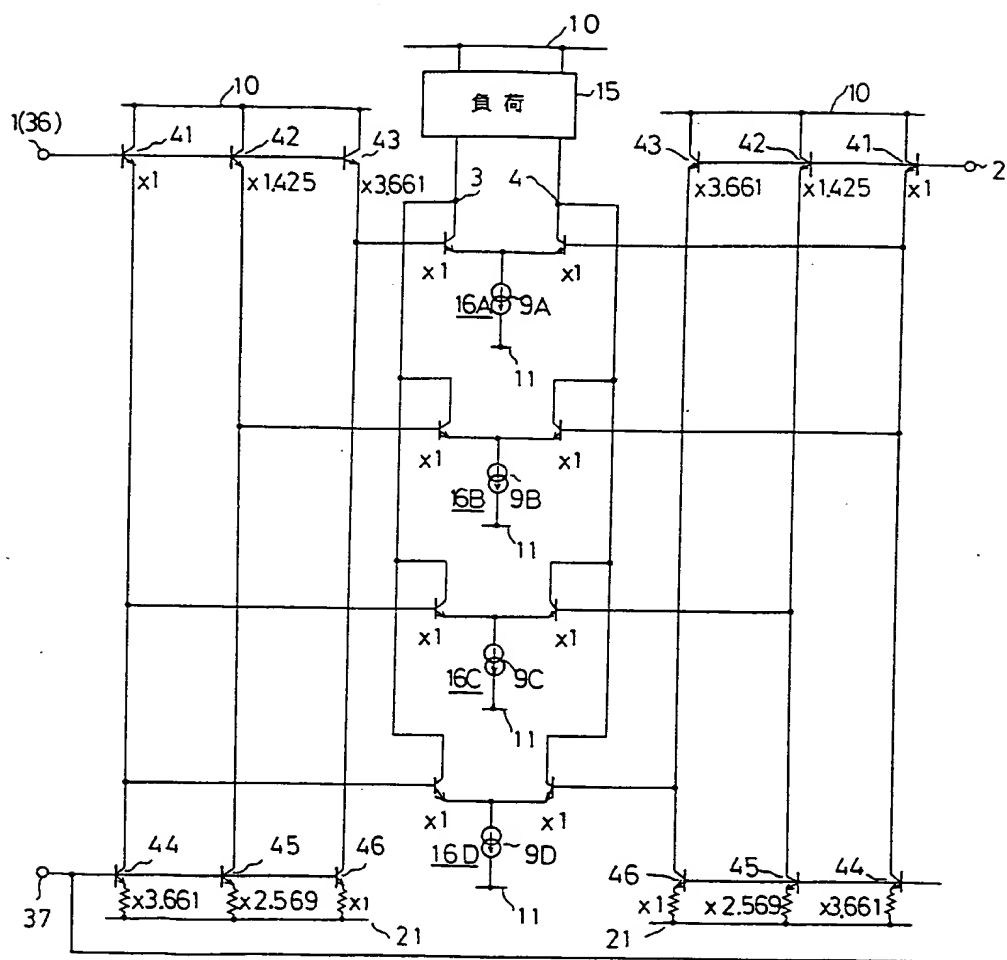
第 7 図 (a)



第 7 図 (b)

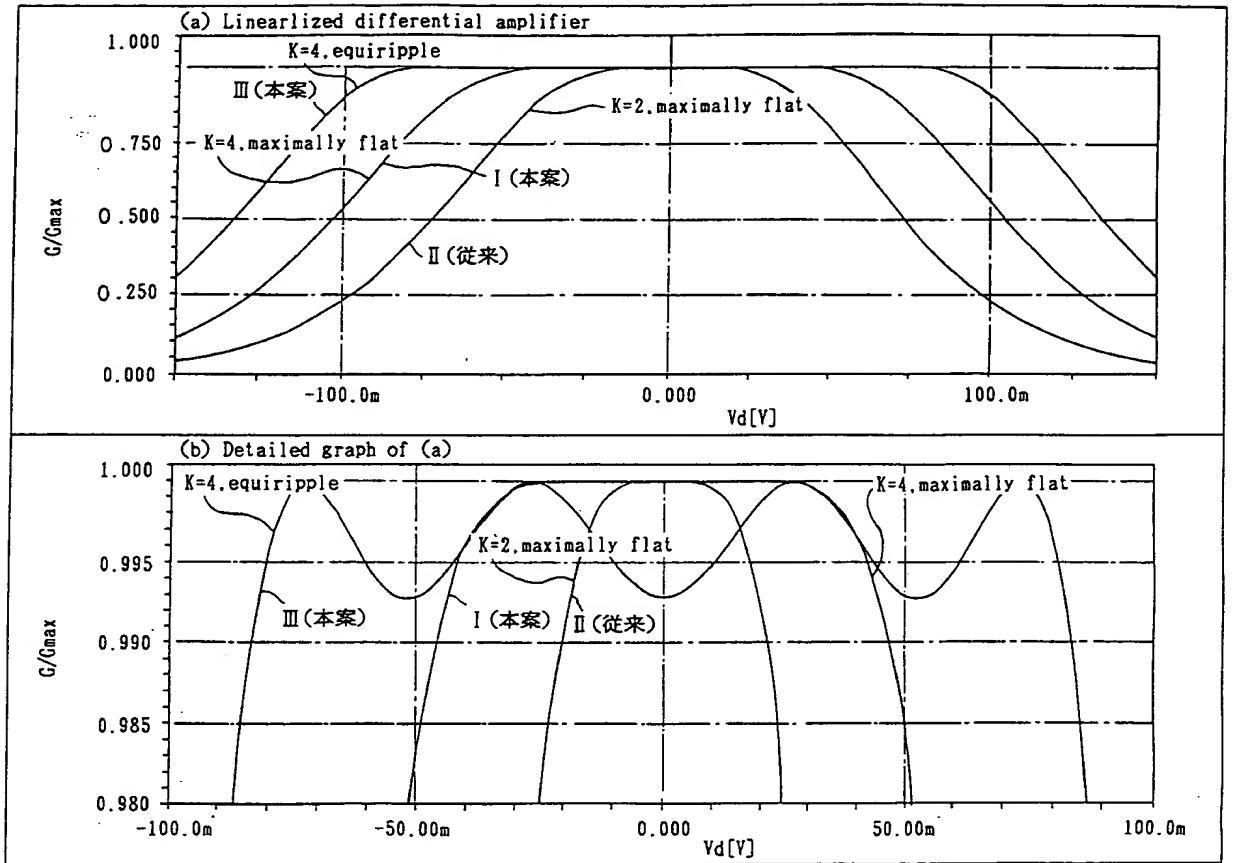


第 8 図



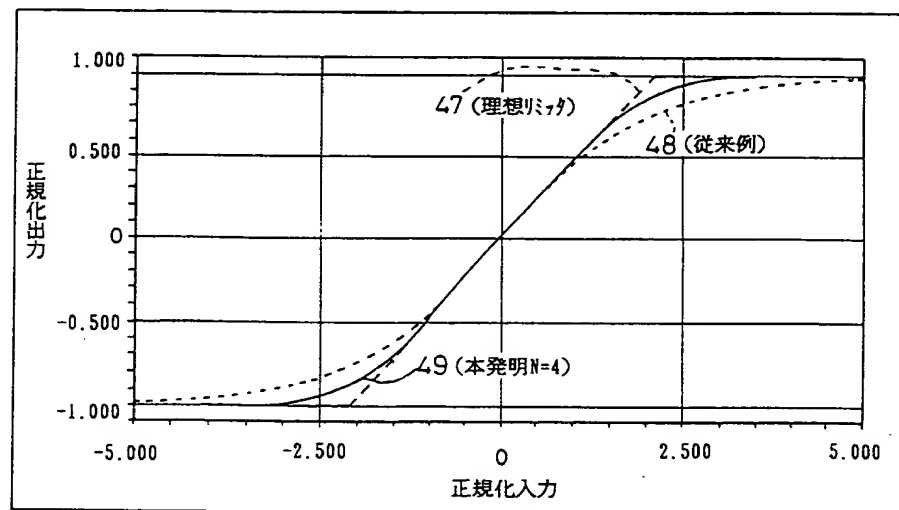
第 9 図

(a)

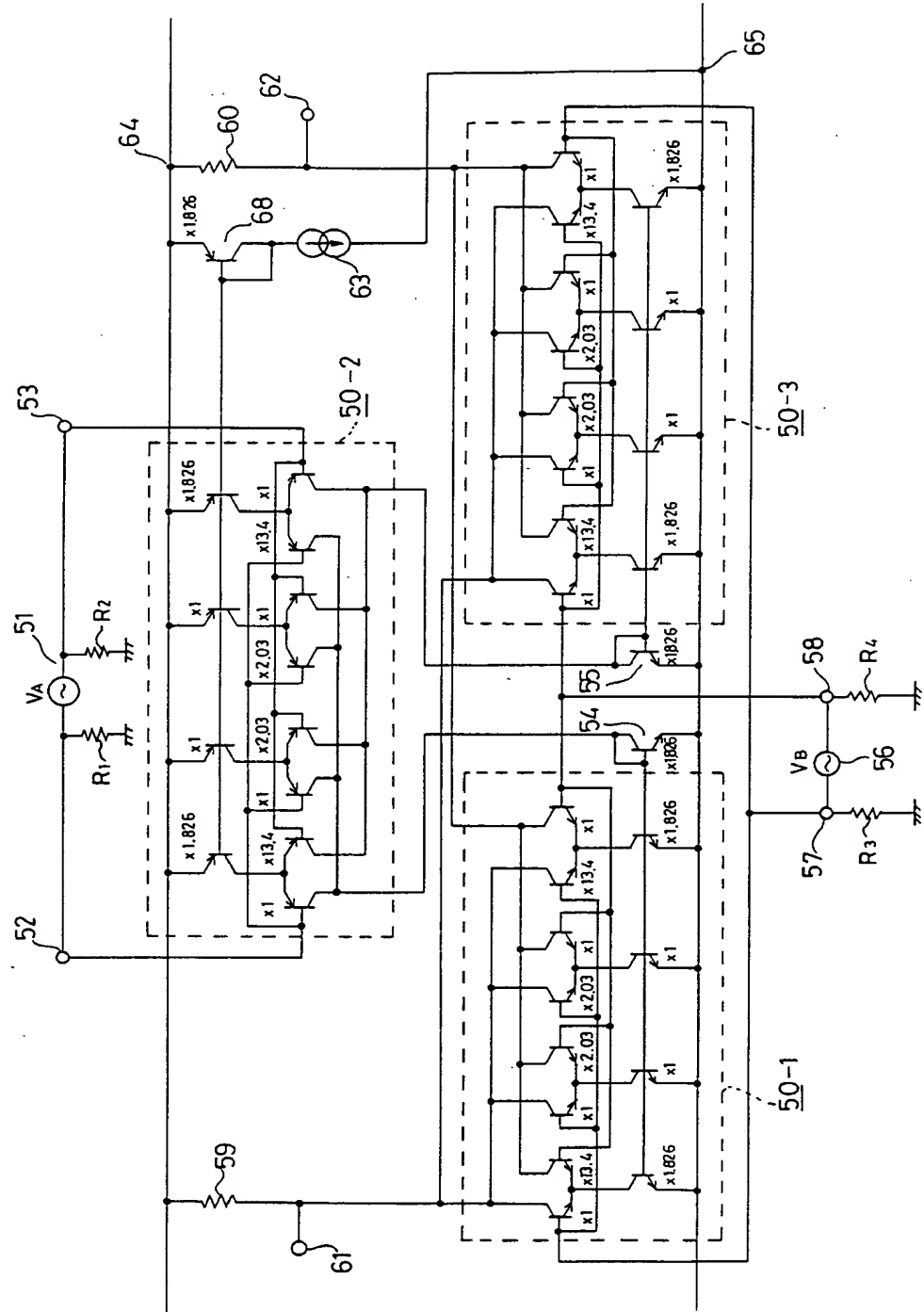


(b)

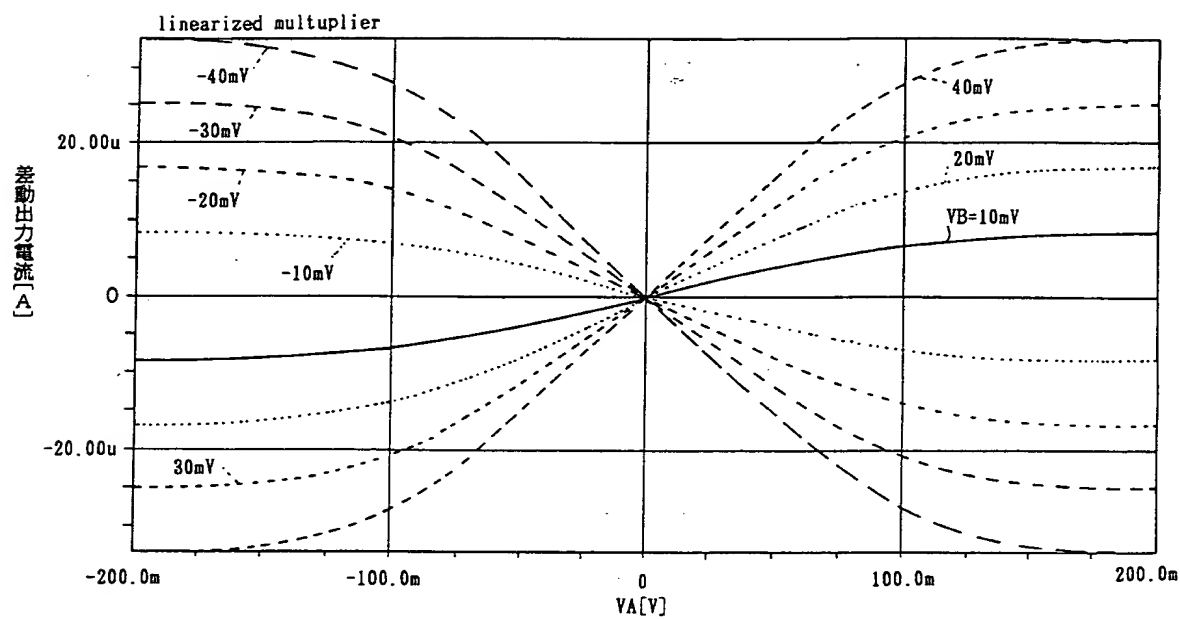
第 10 図



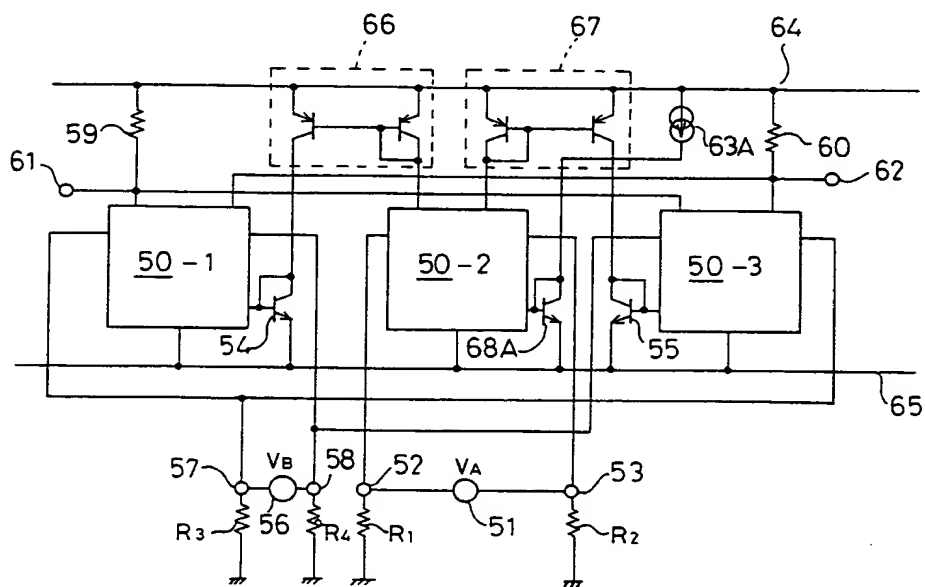
第 11 図



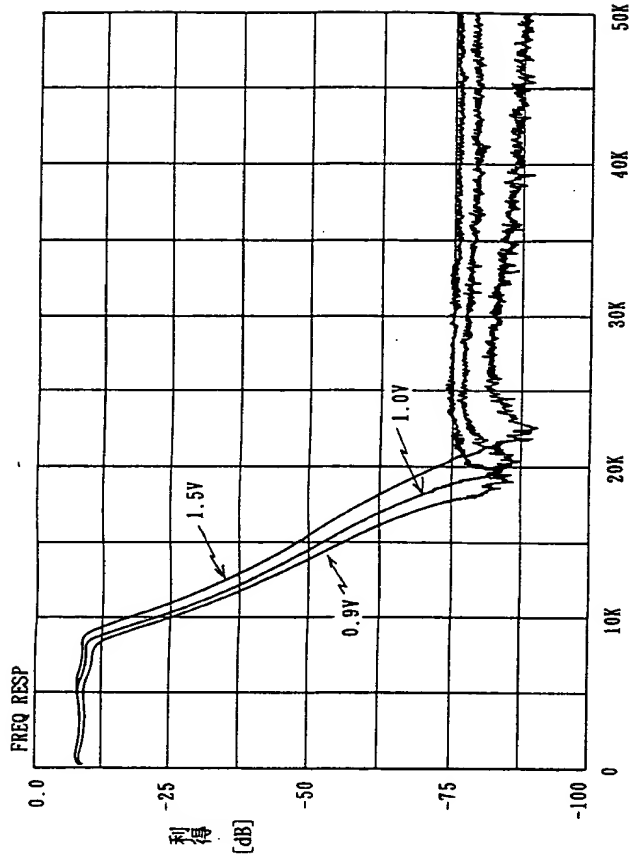
第 12 図



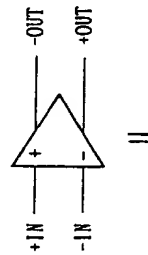
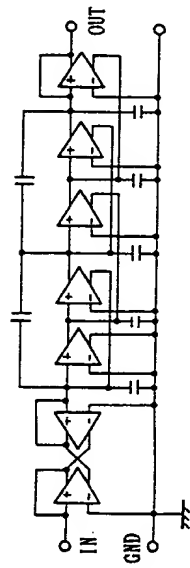
第 13 図



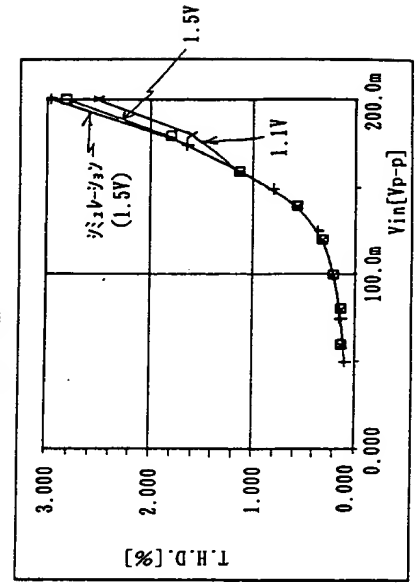
第 14 図



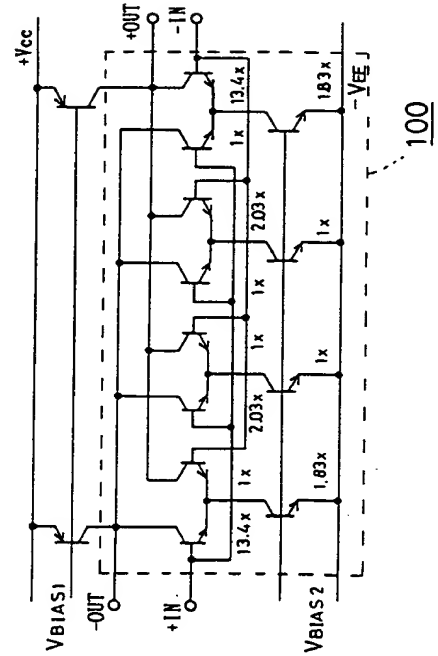
第 15 図



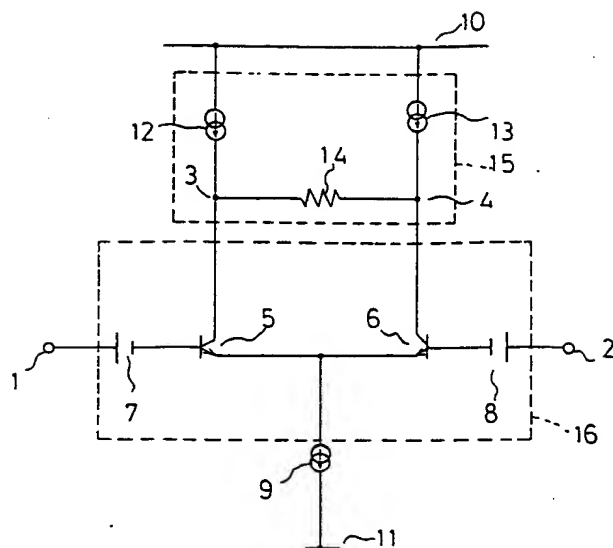
第 17 図



第 18 図

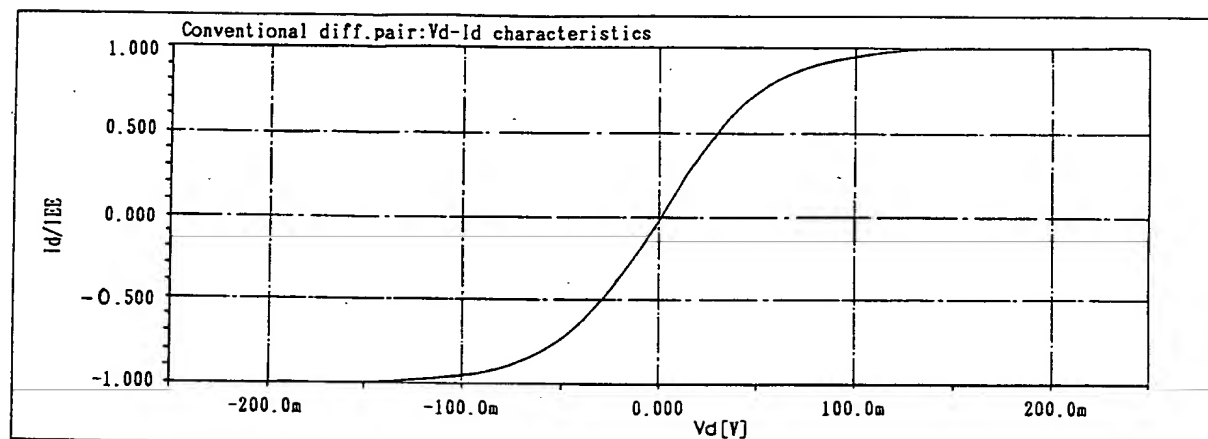


第 16 図

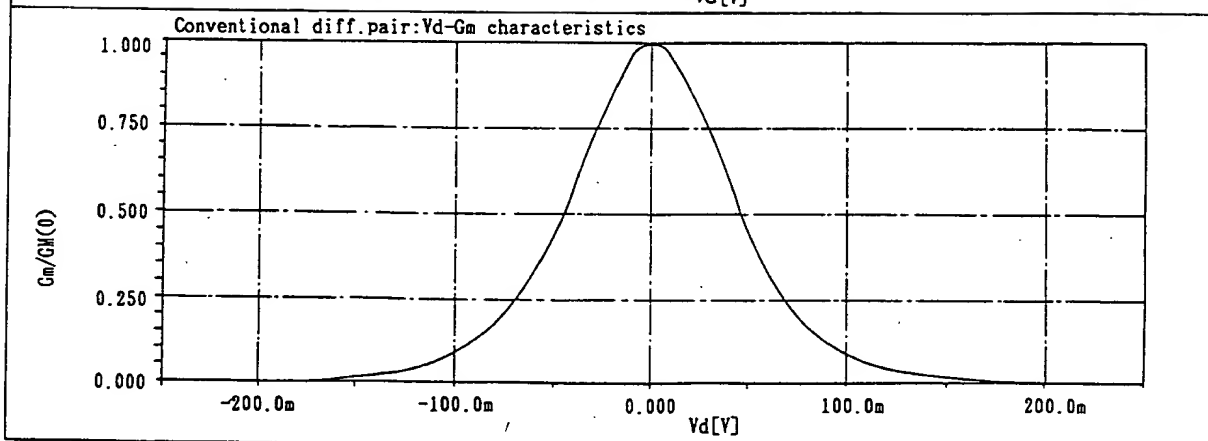


第 19 図

(a)



(b)



第 20 図